

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

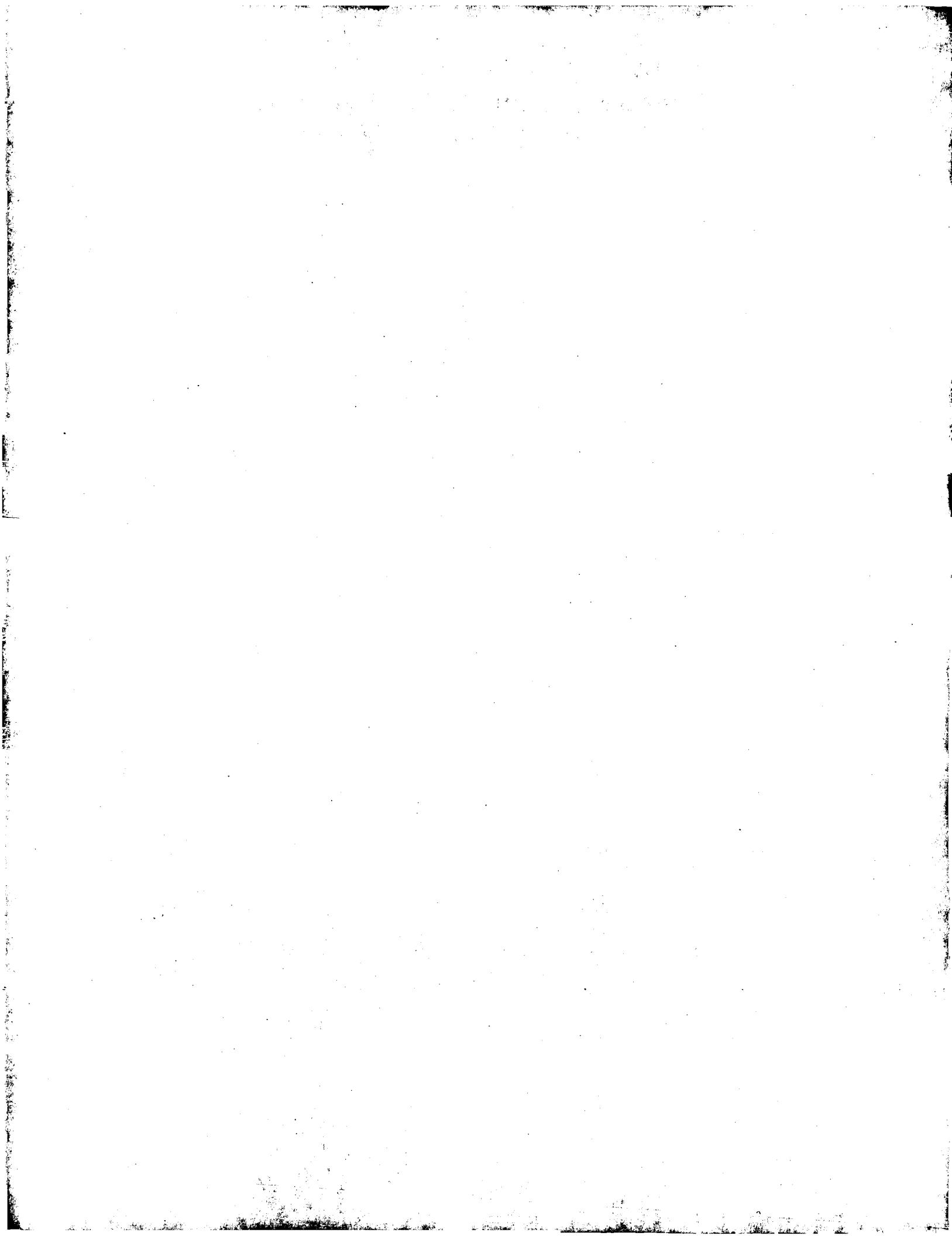
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06078280 A**

(43) Date of publication of application: **18 . 03 . 94**

(51) Int. Cl

H04N 7/08

H04N 7/093

(21) Application number: **04225991**

(71) Applicant: **SONY CORP**

(22) Date of filing: **25 . 08 . 92**

(72) Inventor: **MATSUNAKA SHINJI
UEDA MAMORU**

(54) TRANSMISSION METHOD, TRANSMITTER AND
TIME BASE EXPANDER FOR DIGITAL VIDEO
SIGNAL AND DIGITAL AUDIO SIGNAL

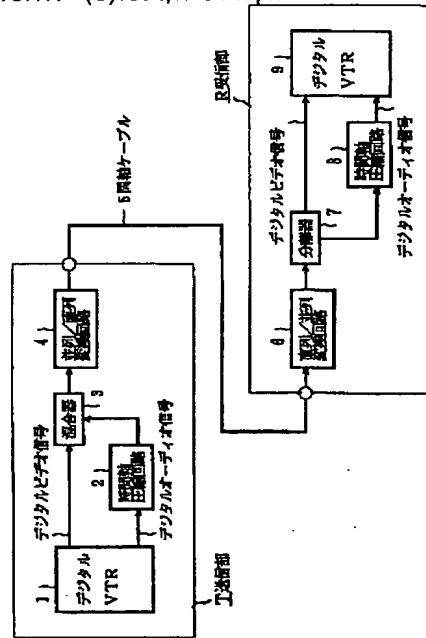
time base.

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To provide a transmission method for a digital video signal and a digital audio signal with a simple configuration and ease of handling in which the digital video signal and the digital audio signal are simultaneously transmitted through the use of a few number of cables.

CONSTITUTION: A transmission section T applies time base compression to a digital audio signal and the result is mixed in a digital video signal so as to be inserted in a horizontal synchronization tip period, the mixed digital video/audio signal is parallel/serial-converted and the converted signal is sent to a reception section R through one cable 5, the reception section R applies serial/parallel-conversion to the serial digital video/audio signal, the digital video signal and the digital audio signal subject to time base compression are separated from the digital video/audio signal and the digital audio signal subject to time base compression is expanded with respect to the





(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-78280

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl.
H 0 4 N
7/08
7/093

識別記号
101
9187-5C
9187-5C

F I

技術表示箇所

審査請求 未請求 請求項の数 6(全 13 頁)

(21)出願番号 特願平4-225991

(22)出願日 平成4年(1992)8月25日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 松中 真二

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 上田 衛

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

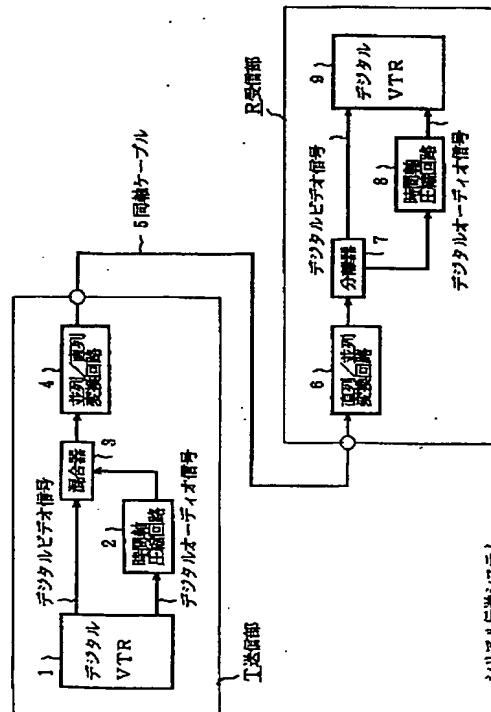
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 デジタルビデオ信号及びデジタルオーディオ信号の伝送方法及び伝送装置並びに時間軸伸長装置

(57)【要約】

【目的】 少ない本数のケーブルを用いて、デジタルビデオ信号及びデジタルオーディオ信号を同時に伝送することができ、構成が簡単で、取扱が容易になるデジタルビデオ信号及びデジタルオーディオ信号の伝送方法を提案する。

【構成】 送信部 Tで、デジタルオーディオ信号を時間軸圧縮して、デジタルビデオ信号の水平同期チップ期間に挿入する如く混合し、その混合されたデジタルビデオ／オーディオ信号を並列／直列変換して、1本のケーブル5を通じて受信部 Rに伝送し、その受信部 Rで、直列デジタルビデオ／オーディオ信号を直列／並列変換し、その並列デジタルビデオ／オーディオ信号からデジタルビデオ信号及び時間軸圧縮されたデジタルオーディオ信号を分離し、その時間軸圧縮されたデジタルオーディオ信号を時間軸伸長する。



【特許請求の範囲】

【請求項1】 送信部で、デジタルオーディオ信号を時間軸圧縮して、デジタルビデオ信号の水平同期チップ期間に挿入する如く混合し、該混合されたデジタルビデオ／オーディオ信号を並列／直列変換して、1本のケーブルを通じて受信部に伝送し、該受信部で、上記直列デジタルビデオ／オーディオ信号を直列／並列変換し、該並列デジタルビデオ／オーディオ信号からデジタルビデオ信号及び時間軸圧縮されたデジタルオーディオ信号を分離し、該時間軸圧縮されたデジタルオーディオ信号を時間軸伸長することを特徴とするデジタルビデオ信号及びデジタルオーディオ信号の伝送方法。

【請求項2】 デジタルオーディオ信号を時間軸圧縮する時間軸圧縮回路と、該時間軸圧縮回路からの時間軸圧縮されたデジタルオーディオ信号をデジタルビデオ信号の水平同期チップ期間に挿入する混合回路と、該混合回路からの並列デジタルビデオ／オーディオ信号が供給される並列／直列変換回路とを備える送信部と、上記送信部の並列／直列変換回路より1本のケーブルを通じて伝送された直列デジタルビデオ／オーディオ信号が供給される直列／並列変換回路と、該直列／並列変換回路からの並列デジタルビデオ／オーディオ信号が供給されてデジタルビデオ信号及び時間軸圧縮されたデジタルオーディオ信号に分離される分離回路と、該分離回路からの時間軸圧縮されたデジタルオーディオ信号が供給される時間軸伸長回路とを備える受信部とを有することを特徴とするデジタルビデオ信号及びデジタルオーディオ信号の伝送装置。

【請求項3】 入力データが書き込まれ、その時間軸伸長された出力データが読み出されるメモリと、該メモリに書き込みアドレス信号を供給する書き込みアドレス発生回路と、

上記メモリに読み出しあдрес信号を供給する読み出しあドレス発生回路と、

上記読み出しあドレス発生回路よりの読み出しあドレス信号を上記書き込みアドレス発生回路よりの書き込みアドレス信号と比較し、上記読み出しあドレスが上記書き込みアドレスを越えないように上記読み出しあドレス発生回路を制御する比較回路と、

上記読み出しあドレス発生回路よりの読み出しあドレス信号を上記書き込みアドレス発生回路よりの読み出しあドレス信号と比較し、上記読み出しあドレスが上記書き込みアドレスに接近するように上記読み出しあドレス発生回路を制御する遅延時間収束回路とを有することを特徴とする時間軸伸長装置。

【請求項4】 上記遅延時間収束回路は、上記書き込みアドレス発生回路よりの書き込みアドレス信号から上記読み出しあドレス発生回路よりの読み出しあドレス信号を減算する減算器と、該減算器の出力の正負を所定期間判断する正負判断回路と、該正負判断回路よりの出力に

基づいて、上記所定期間上記減算器の出力が正であったとき、上記読み出しあドレス発生回路の初期アドレスをこれより大なる所定アドレスに設定することを特徴とする請求項3に記載の時間軸伸長装置。

【請求項5】 複数チャンネルのデータが順次繰り返し書き込まれ、時間軸伸長された複数チャンネルのデータが順次繰り返し読み出されるメモリと、

上記複数チャンネル毎の書き込みアドレス信号を発生して上記メモリに供給する複数の書き込みアドレス発生回路と、

上記複数の書き込みアドレス発生回路の各書き込みアドレスの内、上記複数チャンネルの一巡毎の最大値書き込みアドレス信号を発生する最大値書き込みアドレス発生回路と、

読み出しあドレス信号を発生して上記メモリに供給する読み出しあドレス発生回路と、

上記読み出しあドレス発生回路よりの読み出しあドレス信号を上記最大値書き込みアドレス発生回路よりの最大値書き込みアドレス信号と比較して、上記読み出しあドレスが上記最大値書き込みアドレスを越えないように上記読み出しあドレス発生回路を制御する比較回路とを有することを特徴とする時間軸伸長装置。

【請求項6】 上記比較回路で、上記読み出しあドレス発生回路よりの読み出しあドレス信号を上記複数の書き込みアドレス発生回路のよりの各書き込みアドレス信号と比較し、上記読み出しあドレス発生回路の読み出しあドレスが、上記複数の書き込みアドレス発生回路のいずれかの書き込みアドレスを越えたら、該書き込みアドレス信号を読み出しあドレス信号として上記メモリに切換え供給する切換え回路を設けたことを特徴とする請求項5記載の時間軸伸長装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタルビデオ信号及びデジタルオーディオ信号の伝送方式及び伝送装置並びに時間軸伸長装置に関する。

【0002】

【従来の技術】 近年のデジタルVTRの普及に伴いデジタルビデオ信号の有効的な伝送方法としてシリアル伝送が採用されるようになって来た。従来、デジタルビデオ信号と共に、デジタルオーディオ信号を伝送する場合は、デジタルビデオ信号を伝送するためのケーブル1本と、デジタルオーディオ信号を伝送するためのケーブル2本、計3本のケーブルを必要としていた。

【0003】

【発明が解決しようとする課題】 従来のデジタルビデオ信号及びデジタルオーディオ信号を同時に伝送する伝送方法では、ケーブルが計3本も必要であるため、構成が複雑であり、取扱いが面倒であった。

【0004】かかる点に鑑み、本発明の第1の目的は、

少ない本数のケーブルを用いて、デジタルビデオ信号及びデジタルオーディオ信号を同時に伝送することができ、構成が簡単で、取扱が容易になるデジタルビデオ信号及びデジタルオーディオ信号の伝送方法及び伝送装置を提供することである。

【0005】かかるデジタルビデオ信号及びデジタルオーディオ信号の伝送装置及び伝送方法は、後述するように受信部に時間軸伸長回路設けるが、デジタルビデオ信号に水平ライン毎に混合されているデジタルオーディオ信号のサンプル数が一定でなかつたり、そのデジタルオーディオ信号のチャンネル数が一定でなかつたりする場合は、そのデジタルビデオ信号の水平ライン毎のデジタルオーディオ信号のサンプル数の不均一性を、吸収するために、時間軸伸長回路で使用されるメモリのウインドウを大きくする必要があるが、そのようにすると時間軸圧縮されたデジタルオーディオ信号がメモリに書き込まれてから読み出されまでの遅延が大きく成り、又は、遅延の不確定幅を大きくしてしまう。そのため、従来の時間軸伸長回路では、そのメモリのウインドウを極力小さくして、その遅延量及び不確定幅が小さく成るようにしていた。

【0006】かかる点に鑑み、本発明の第2の目的は、ウインドウをあまり小さくしないでも、メモリにデータをき込んでから、時間軸伸長されたデータ読み出すまでの遅延時間を短くすることのできる時間軸伸長装置を提供することである。

【0007】ところで、デジタルビデオ信号の水平同期チップ期間内に時間軸圧縮されて挿入する如く混合されて、送信部Tから受信部Rに同軸ケーブル5を通じて伝送されるデジタルオーディオ信号は、4チャンネルの場合、4チャンネルのオーディオ信号のサンプルCH1、CH2、CH3、CH4が、

.....、CH1、CH2、CH3、CH4、CH1、CH2、CH3、CH4、CH1、CH2、CH3、CH4、CH1、CH2、CH3、CH4、.....

の如く順次伝送される場合は問題ないが、

.....、CH2、CH4、CH3、CH1、CH2、CH4、CH3、CH1、CH2、CH4、CH3、CH1、CH2、CH4、CH3、CH1、.....

の如く順序が狂つたり、

.....、CH2、CH4、CH2、CH4、CH2、CH4、CH2、CH4、CH2、CH4、CH2、CH4、CH2、CH4、CH2、CH4、.....

の如く、一部のチャンネルのオーディオ信号のサンプルが欠落したりする場合は、時間軸伸長回路のメモリにおける書き込み及び読み出しアドレスの制御がができなく成ってしまう。

【0008】かかる点に鑑み、本発明の第3の目的は、複数チャンネルのデジタルオーディオ信号が供給され、時間軸伸長された複数のチャンネルのデジタルオーディオ信号を用いて、複数チャンネルのデジタルオーディオ信号を同時に伝送することができる時間軸伸長装置を提供することである。

ディオ信号が出力される時間軸伸長装置において、時間軸伸長しようとする複数チャンネルのデジタルオーディオ信号の一部のチャンネルのサンプルが欠如したり、順序が狂っていても、書き込みアドレスレジスタ及び読み出しアドレスレジスタの制御を円滑に行えるものを提供することである。

【0009】又、デジタルビデオ信号の水平同期チップ期間内に時間軸圧縮されて挿入する如く混合されて、送信部Tから受信部Rに同軸ケーブル5を通じて伝送され

るデジタルオーディオ信号は、4チャンネルの場合、4チャンネルのオーディオ信号のサンプルCH1、CH2、CH3、CH4が、
.....、CH1、CH2、CH3、CH4、CH1、CH2、CH3、CH4、CH1、CH2、CH3、CH4、CH1、CH2、CH3、CH4、.....

の如く順次伝送される場合は問題ないが、

.....、CH2、CH4、CH2、CH4、CH2、CH4、CH2、CH4、.....

の如くあるチャンネルのサンプルがある期間に欠落したり、伝送途中に1サンプルも送られて来なくなったりするこのともある。

【0010】そこで、後述するように、各チャンネル毎の書き込みアドレスレジスタ及び最大値書き込みアドレスレジスタを設け、読み出し時に書き込みアドレスレジスタの書き込みアドレス及び読み出しアドレスレジスタの読み出しアドレスを比較し、書き込みアドレスが読み出しアドレスより大と成るときのみ書き込みアドレスレジスタの読み出しアドレスを増加させ、そうでないときはその読み出しアドレスを増加を停止するようにした時間軸伸長装置によれば、書き込みアドレスレジスタ及び読み出しアドレスレジスタの書き込みアドレス及び読み出しアドレスの制御が可能に成るが、最大値書き込みアドレスレジスタの最大値書き込みアドレスの増加が停止した場合、読み出しアドレスレジスタの読み出しアドレスの増加も停止するので、そのときにメモリから正しいデジタルオーディオ信号のサンプルデータを読み出せない虞がある。

【0011】かかる点に鑑み、本発明の第4の目的は、複数チャンネルのデジタルオーディオ信号が供給され、時間軸伸長された複数のチャンネルのデジタルオーディオ信号が出力される時間軸伸長装置において、複数チャンネルのデジタルオーディオ信号のサンプルの一部が欠如したり、順序が狂っていても、書き込みアドレスレジスタ及び読み出しアドレスレジスタの制御を円滑に行えると共に、最大値書き込みアドレスカウンタの最大値書き込みアドレスの増加が停止しても、メモリに記憶されている必要なデータを確実に読み出すことができ、データの連續性を保ち、受信データの忠実な再現を行うことのできる時間軸伸長装置を提供することである。

【0012】

【課題を解決するための手段及び作用】第1の本発明によるデジタルビデオ信号及びデジタルオーディオ信号の伝送方法は、送信部Tで、デジタルオーディオ信号を時間軸圧縮して、デジタルビデオ信号の水平同期チップ期間に挿入する如く混合し、その混合されたデジタルビデオ／オーディオ信号を並列／直列変換して、1本のケーブル5を通じて受信部Rに伝送し、その受信部Rで直列デジタルビデオ／オーディオ信号を直列／並列変換し、その並列デジタルビデオ／オーディオ信号からデジタルビデオ信号及び時間軸圧縮されたデジタルオーディオ信号を分離し、その時間軸圧縮されたデジタルオーディオ信号を時間軸伸長するようにしたものである。

【0013】第2の本発明によるデジタルビデオ信号及びデジタルオーディオ信号の伝送装置は、デジタルオーディオ信号を時間軸圧縮する時間軸圧縮回路2と、その時間軸圧縮回路2からの時間軸圧縮されたデジタルオーディオ信号をデジタルビデオ信号の水平同期チップ期間に挿入する混合回路3と、その混合回路3からの並列デジタルビデオ／オーディオ信号が供給される並列／直列変換回路4とを備える送信部Tと、送信部Tの並列／直列変換回路4より1本のケーブル5を通じて伝送された直列デジタルビデオ／オーディオ信号が供給される直列／並列変換回路6と、その直列／並列変換回路6からの並列デジタルビデオ／オーディオ信号が供給されてデジタルビデオ信号及び時間軸圧縮されたデジタルオーディオ信号に分離される分離回路7と、その分離回路7からの時間軸圧縮されたデジタルオーディオ信号が供給される時間軸伸長回路8とを備える受信部Rとを有するものである。

【0014】かかる第2の本発明によれば、送信部Tで、デジタルオーディオ信号を時間軸圧縮回路2によって時間軸圧縮して、混合器3でデジタルビデオ信号の水平同期チップ期間に挿入する如く混合し、その混合された並列デジタルビデオ／オーディオ信号を並列／直列変換回路4によって並列／直列変換して、1本のケーブル5を通じて受信部Rに伝送し、その受信部Rで、直列デジタルビデオ／オーディオ信号を直列／並列変換回路6によって直列／並列変換し、その並列デジタルビデオ／オーディオ信号から分離器7によってデジタルビデオ信号及び時間軸圧縮されたデジタルオーディオ信号に分離し、その時間軸圧縮されたデジタルオーディオ信号を時間軸伸長回路8によって時間軸伸長する。

【0015】第3の本発明による時間軸伸長装置は、入力データが書き込まれ、その時間軸伸長された出力データが読み出されるメモリ11と、そのメモリ11に書き込みアドレス信号を供給する書き込みアドレス発生回路12と、メモリ11に読み出しアドレス信号を供給する読み出しアドレス発生回路13と、読み出しアドレス発生回路13よりの読み出しアドレス信号を書き込みアドレス発生回路12よりの書き込みアドレス信号と比較

し、読み出しアドレスが書き込みアドレスを越えないように読み出しアドレス発生回路13を制御する比較回路14と、読み出しアドレス発生回路13よりの読み出しアドレス信号を書き込みアドレス発生回路12よりの書き込みアドレス信号と比較し、読み出しアドレスが書き込みアドレスに接近するように読み出しアドレス発生回路13を制御する遅延時間収束回路15とを有するものである。

【0016】かかる第3の本発明によれば、比較回路14によって、読み出しアドレス発生回路13よりの読み出しアドレス信号を書き込みアドレス発生回路12よりの書き込みアドレス信号と比較し、読み出しアドレスが書き込みアドレスを越えないように読み出しアドレス発生回路13を制御すると共に、遅延時間収束回路15によって、読み出しアドレス発生回路13よりの読み出しアドレス信号を書き込みアドレス発生回路12よりの書き込みアドレス信号と比較し、読み出しアドレスが書き込みアドレスに接近するように読み出しアドレス発生回路13を制御する。

【0017】第4の本発明は、第3の本発明において、遅延時間収束回路15は、書き込みアドレス発生回路12の書き込みアドレス信号から読み出しアドレス発生回路13よりのアドレス信号を減算する減算器16と、その減算器16の出力の正負を所定期間判断する正負判断回路17と、その正負判断回路17よりの出力に基づいて、所定期間上記減算器16の出力が正であったとき、読み出しアドレス発生回路13の初期アドレスをこれより大なる所定アドレスに設定するようにしたものである。

【0018】第5の本発明による時間軸伸長装置は、複数チャンネルのデータが順次繰り返し書き込まれ、時間軸伸長された複数チャンネルのデータが順次繰り返し読み出されるメモリ11と、その複数チャンネル毎の書き込みアドレス信号を発生してメモリ11に供給する複数の書き込みアドレス発生回路12A～12Dと、複数の書き込みアドレス発生回路12A～12Dの各書き込みアドレスの内、複数チャンネルの一巡毎の最大値書き込みアドレス信号を発生する最大値書き込みアドレス発生回路20と、読み出しアドレス信号を発生してメモリ11に供給する読み出しアドレス発生回路13と、読み出しアドレス発生回路13よりの読み出しアドレス信号を最大値書き込みアドレス発生回路20よりの最大値書き込みアドレス信号と比較し、読み出しアドレスが最大値書き込みアドレスを越えないように読み出しアドレス発生回路13を制御するアドレス比較回路21とを有するものである。

【0019】上述せる第5の本発明によれば、比較回路21によって、読み出しアドレス発生回路13よりの読み出しアドレス信号を最大値書き込みアドレス発生回路20よりの最大値書き込みアドレス信号と比較して、読

み出しアドレスが最大値書き込みアドレスを越えないように読み出しアドレス発生回路13を制御する。

【0020】第6の本発明による時間軸伸長装置は、第5の本発明において、比較回路21で、読み出しアドレス発生回路13よりの読み出しアドレス信号を複数の書き込みアドレス発生回路12A～12Dよりの各書き込みアドレス信号と比較し、上記読み出しアドレス発生回路13の読み出しアドレスが、複数の書き込みアドレス発生回路12A～12Dのいずれかの書き込みアドレスを越えたら、その書き込みアドレス信号を読み出しアドレス信号としてメモリ11に切換え供給する切換え回路22を設けたものである。

【0021】かかる第6の本発明によれば、比較回路21で、読み出しアドレス発生回路13よりの読み出しアドレス信号を複数の書き込みアドレス発生回路12A～12Dよりの各書き込みアドレス信号と比較し、上記読み出しアドレス発生回路13の読み出しアドレスが、複数の書き込みアドレス発生回路12A～12Dのいずれかの書き込みアドレスを越えたら、切換え回路22によって、読み出しアドレス信号の代わりにその読み出しアドレスによって越えられた書き込みアドレスの書き込みアドレス信号をメモリ11に切換え供給する。

【0022】

【実施例】以下に、図1を参照して、本発明によるデジタルビデオ信号及びデジタルオーディオ信号の伝送方法及び伝送装置の実施例を説明する。図1では、送信部T及び受信部R間が、1本の同軸ケーブル(BNCケーブル)5によって連結されている。

【0023】送信部Tの構成を説明する。デジタルVTRからのデジタルビデオ信号(色副搬送波周波数Fscの4倍の周波数、即ち、約14.3MHzのクロック信号でサンプリングされている)を混合器3に供給する。図2に示すように、48kHz(周期は20.83μsec)のクロック信号でサンプリングされたデジタルオーディオ信号を、時間軸圧縮回路2に供給してデジタルビデオ信号の水平期間(63.55μsec)中の水平同期チップ期間に4又は3サンプル挿入されるように時間軸圧縮して、混合器3に供給してデジタルビデオ信号に混合する。混合器3からのデジタルビデオ/オーディオ信号は並列/直列変換回路4に供給されて直列デジタルビデオ/オーディオ信号に変換された後、1本の同軸ケーブル5を通じて受信部Rに伝送される。

【0024】受信部Rの構成を説明する。送信部Tから同軸ケーブル5を通じて伝送された直列デジタルビデオ/オーディオ信号を直列/並列変換回路6に供給して、並列デジタルビデオ/オーディオ信号に変換した後、分離器7に供給して、デジタルビデオ信号及び時間軸圧縮されたデジタルオーディオ信号に分離する。分離されたデジタルビデオ信号はそのままデジタルVTR9に供給される。図2に示すように、時間軸圧縮されたデジタル

オーディオ信号は時間軸伸長回路8に供給して元のデジタルオーディオ信号に戻した後、デジタルVTR9に供給する。

【0025】かかる図1のデジタルビデオ信号及びデジタルオーディオ信号の伝送方法及び伝送装置によれば、1本のケーブルによって、デジタルビデオ信号及びデジタルオーディオ信号を同時に伝送することができる。

【0026】以下に、図3を参照して、本発明による時間軸伸長装置(回路)の実施例(1)を説明する。書き

10込みアドレス発生回路(アドレスカウンタ)12からの書き込みアドレス信号をメモリ11に供給して、時間軸圧縮されたデジタルオーディオ信号をメモリ11に書き込み、そのメモリ11に読み出しアドレス発生回路(アドレスカウンタ)13からの読み出しアドレス信号(書き込みアドレス信号のアドレス変化周波数の所定数分の1のアドレス変化周波数を以て変化するアドレス信号)を供給して、そのメモリ11から時間軸伸長された元のデジタルオーディオ信号を読み出す。

【0027】このメモリ11のウインドウはここではデジタルビデオ信号の16ライン分であるので、書き込みアドレス発生回路12のアドレスはデジタルビデオ信号の16ライン分毎に1回クリアされる。この場合、読み出しアドレス発生回路13のアドレスはクリア直前の書き込みアドレスまでカウントアップされた後クリアされる。

【0028】アドレス比較及び読み出しアドレスの計数制御回路14は、読み出しアドレス発生回路13よりの読み出しアドレス信号を書き込みアドレス発生回路12よりの書き込みアドレス信号と比較し、読み出しアドレスが書き込みアドレスを越えないときは、カウントアップ信号を発生して、これを読み出しアドレス発生回路13に供給してその読み出しアドレスを増加又はクリアさせ、越えたときはカウントアップ信号を発生しないようにし、これによって読み出しアドレス発生回路13のアドレスは変化せず一定のアドレス値を維持する。

【0029】遅延収束回路15は読み出しアドレス発生回路13よりの読み出しアドレス信号を書き込みアドレス発生回路12よりの書き込みアドレス信号と比較し、例えば、16フィールドの間読み出しアドレスが書き込みアドレスを越えないときは、図4に示す如く、クリア直後の読み出しアドレス(0番地)にこれより大のオフセット、即ち、例えば、1番地を与える。即ち、減算器16で書き込みアドレスから読み出しアドレスを減算し、その減算出力が正負判断回路17に供給され、16フィールドの間に亘って正が維持されたら、ロード値発生回路18を制御して、読み出しアドレス発生回路13のアドレスカウンタの初期値オール0を最後のビットだけ1にするような値をロードし、これを繰り返すことにより、読み出しアドレスは書き込みアドレスに接近し、読み出しアドレスの書き込みアドレスに対する遅延量を

小さくすることができる。

【0030】かかる時間軸伸長装置によれば、メモリ1のウインドウをあまり小さくしないでも、メモリにデータを書き込んでから、時間軸伸長されたデータを読み出すまでの遅延時間を短くすることができる。

【0031】次に、図5を参照して、本発明の時間軸伸長装置（回路）の実施例（2）を説明する。時間軸圧縮されたオーディオデータがメモリ11に供給されて、メモリ11に供給される書き込みアドレスレジスタ（アドレスカウンタも可）12A～12Dよりの書き込みアドレス信号によって書き込まれ、セレクタ22を通じて、メモリ11に供給される読み出しアドレスレジスタ13からの読み出しアドレス信号によって、時間軸伸長されたオーディオデータが読み出される。

【0032】書き込みアドレス及び読み出しアドレスは共に2進符号で表されるが、これらのアドレスを簡単のため10進符号で表すと次のように成る。尚、このアドレスの最上位桁はチャンネルの別を示す。

1チャンネルの書き込みアドレス 100001、100002、100003、.....

2チャンネルの書き込みアドレス 200001、200002、200003、.....

3チャンネルの書き込みアドレス 300001、300002、300003、.....

4チャンネルの書き込みアドレス 400001、400002、400003、.....

【0033】そして、図6に示すAUXデータがチャンネル認識回路19に供給されて、そのユーザデータ（オーディオデータ）UD中のバイト0のビット1、2のチャンネルを表わすデータCH1、CH2によって、時間軸圧縮されたデジタルオーディオデータのサンプルが4チャンネルのいずれであるかを認識し、その認識されたチャンネルに応じて、順次1、2、3及び4チャンネル書き込みアドレスレジスタ12A、12B、12C及び12Dよりのアドレス信号のアドレスを1ずつ増加させ又はクリアし、その各レジスタ12A～12Dのチャンネルのアドレス信号をメモリ11に供給して、デジタルオーディオデータの各サンプルデータをメモリ11の各チャンネル毎のアドレスに書き込む。尚、AUXデータにおいて、ADFは先頭識別データ、DIDはデータID（ロックの数を示す）、DBNはデータロック番号、DCはデータカウンタ（UDの大きさを示す）、CSは終端データである。

【0034】又、各チャンネルの書き込みアドレスレジスタ12A～12Dからメモリ11に供給されたアドレス信号を、最大値アドレスレジスタ20に供給して、1チャンネルから4チャンネルの書き込みアドレスの最大値アドレスを保持させ、デジタルビデオ信号の1ラインの最後の時点で何サンプルのデジタルオーディオデータが伝送されて来たかを知るようにする。

【0035】例えば、あるラインのデジタルビデオ信号の水平同期チップ期間に挿入されている時間軸圧縮されたデジタルオーディオ信号（データ）の各チャンネルのサンプルのメモリのアドレスが、例えば、

1チャンネル 100067

2チャンネル 200060

3チャンネル 300060

4チャンネル 400060

の場合は、最大値書き込みアドレスは1チャンネルのアドレスである

100067

に成る。尚、この場合最大値書き込みアドレスは、チャンネルの別を表す最上位の桁は無視するものとする。

【0036】そして、アドレス比較器21で、読み出しアドレスレジスタ13よりの読み出しアドレスを最大値書き込みアドレスレジスタ20の最大値書き込みアドレスと比較し、読み出しアドレスが最大値書き込みアドレスを越えないときは、読み出しアドレスレジスタ13にカウントアップ信号を供給して、読み出しアドレスを増加又はクリアし、越えたときは、カウントアップ信号を発生せず、これによって読み出しアドレスレジスタ13のアドレスを一定値に維持する。読み出しアドレス発生回路13よりのアドレス信号は、アドレス比較器21よりのセレクト信号によって制御されるセレクタ22を通じてメモリ11に供給する。

【0037】又、アドレス比較器21で、読み出しアドレスレジスタ13よりの読み出しアドレス信号を、それぞれ1、2、3及び4チャンネル書き込みレジスタ12A、12B、12C及び12Dの書き込みアドレス信号と比較し、読み出しアドレスが1、2、3又は4チャンネルの書き込みアドレスのいずれかを越えたときは、アドレス比較器21よりの比較出力でセレクタ22を制御して、読み出しアドレスレジスタ13よりの読み出しアドレス信号の代わりに、読み出しアドレスによって越えられた書き込みアドレス信号をセレクタ22を通じてメモリ11に供給するようとする。

【0038】図7の(I)、(II)、(III)及び(IV)に、1、2、3及び4チャンネル書き込みアドレスレジスタ12A、12B、12C及び12Dよりの書き込みアドレス及び読み出しアドレスレジスタ13よりの読み出しアドレスの変化状態を示し、図8に、最大値書き込みアドレスレジスタ20の最大値書き込みアドレス及び読み出しアドレスレジスタ13の読み出しアドレスの変化状態を示している。尚、かかるアドレスは、チャンネルの別を表す上位桁は共に0であるものとして示している。

【0039】図7の(I)、(II)、(III)及び(IV)並びに図8の各Aの期間は、4チャンネル共、同サンプル数の受信があったことを示し、Bの期間は4チャンネル共、受信データの欠落があった期間を示し、期間A及びBの後は、2及び4チャンネルの受信データの欠落状態が続

く。図8に示す如く、読み出しアドレスレジスタ13よりの読み出しアドレスは、最大値書き込みアドレスレジスタ20よりの最大値書き込みアドレスを越えない範囲で読み出しアドレスが増加していくが、受信データの欠落で最大値書き込みアドレスの増加が停止したCの期間では、読み出しアドレスの増加も停止する。図7(I)及び(III)に示す如く、Cの期間の後のDの期間で、1及び3チャンネルのサンプルデータの受信が開始されるため、読み出しアドレスレジスタ13の読み出しアドレスは再び増加する。その後、デジタルビデオ信号の16ライン毎に1回の書き込みアドレスのクリアが生じるので、読み出しアドレスは最大値書き込みアドレスのクリア直前のアドレスまで増加した後クリアされ、両アドレスは再び増加する。

【0040】又、図7(II)、(IV)に示す如く、読み出しアドレスレジスタ13の読み出しアドレスが、2及び4チャンネル書き込みアドレスレジスタ12B及び12Dの各書き込みアドレスを追い越してしまうDの期間では、そのまま読み出しアドレス信号をメモリ11に供給すると不適当なサンプルデータを読み出すことに成るので、セレクタ22の切換えによって、2及び4チャンネル書き込みアドレスレジスタ12B及び12Dの各書き込みアドレス信号を読み出しアドレス信号としてメモリ11に供給するようとする。

【0041】これにより、受信データの欠落するチャンネルに対してもデータの連続性を確保することができる。又、4チャンネルの内、全くサンプルが伝送されなかつたチャンネルの書き込みアドレスレジスタの書き込みアドレスは0番地のまゝである。そこで、メモリ11の0番地に予め全ビットが0と成るデータを書き込んでおけば、読み出しアドレスとしてあるチャンネルの書き込みアドレスを採用した場合、そのチャンネルの書き込みアドレスの0番地を読み出すと、そのチャンネルの受信サンプルは常に全ビット0のサンプルデータが読み出されることに成る。読み出しアドレスレジスタ18の各チャンネル毎のアドレスはそれぞれ各チャンネル毎にクリア直後に0番地と成るが、あるチャンネルのデータを1サンプルでも受信すれば、メモリ11のそのチャンネルの1番地からデータが読み取られ、チャンネルのデータが0サンプルのときのみメモリ11のそのチャンネルの0番地からサンプルデータが読み出されるので、結果的にはそのチャンネルの音声出力は、実質的にミュート状態に成ったのと同じである。

【0042】上述せる時間軸伸長装置によれば、複数チャンネルのデジタルオーディオ信号が供給されて、時間軸伸長された複数のチャンネルのデジタルオーディオ信号が出力される時間軸伸長装置において、複数チャンネルのデジタルオーディオ信号のサンプルの一部が欠如したり、順序が狂っていても、書き込みアドレスレジスタ及び読み出しアドレスレジスタの制御を円滑に行えると

共に、最大値書き込みアドレスカウンタの最大値書き込みアドレスの増加が停止しても、メモリに記憶されている必要なデータを確実に読み出すことができるので、データの連続性を保ち、受信データの忠実な再現を行うことのできる時間軸伸長装置を得ることができる。

【0043】上述した各実施例の時間軸伸長装置（回路）は半導体ICで構成されるが、ディスクリート回路で構成しても良い。

【0044】

10 【発明の効果】上述せる第1及び第2の本発明によれば、1本のケーブルを用いて、デジタルビデオ信号及びデジタルオーディオ信号を同時に伝送することができるデジタルビデオ信号及びデジタルオーディオ信号の伝送方法及び伝送装置を得ることができる。

【0045】上述せる第3の本発明によれば、ウインドウをあまり小さくしなくとも、メモリにデータを書き込んでから、時間軸伸長されたデータを読み出すまでの遅延時間を短くすることのできる時間軸伸長装置を得ることができる。

20 【0046】上述せる第4の本発明によれば、複数チャンネルのデジタルオーディオ信号が供給されて、時間軸伸長された複数のチャンネルのデジタルオーディオ信号が出力される時間軸伸長装置において、複数チャンネルのデジタルオーディオ信号のサンプルの一部が欠如したり、順序が狂っていても、書き込みアドレスレジスタ及び読み出しアドレスレジスタの制御を円滑に行えるものを得ることができる。

【0047】上述せる第5の本発明によれば、複数チャンネルのデジタルオーディオ信号が供給されて、時間軸伸長された複数のチャンネルのデジタルオーディオ信号が出力される時間軸伸長装置において、複数チャンネルのデジタルオーディオ信号のサンプルの一部が欠如したり、順序が狂っていても、書き込みアドレスレジスタ及び読み出しアドレスレジスタの制御を円滑に行えると共に、最大値書き込みアドレスカウンタの最大値書き込みアドレスの増加が停止しても、メモリに記憶されている必要なデータを確実に読み出すことのできる時間軸伸長装置を得ることができる。

【0048】上述せる第6の本発明によれば、複数チャンネルのデジタルオーディオ信号が供給されて、時間軸伸長された複数のチャンネルのデジタルオーディオ信号が出力される時間軸伸長装置において、複数チャンネルのデジタルオーディオ信号のサンプルの一部が欠如したり、順序が狂っていても、書き込みアドレスレジスタ及び読み出しアドレスレジスタの制御を円滑に行えると共に、最大値書き込みアドレスカウンタの最大値書き込みアドレスの増加が停止しても、メモリに記憶されている必要なデータを確実に読み出すことができるので、データの連続性を保ち、受信データの忠実な再現を行うことのできる時間軸伸長装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施例のデジタルビデオ信号及びデジタルオーディオ信号の伝送方法及び伝送装置を示すプロック線図

【図2】デジタルオーディオ信号の時間軸圧縮及び伸長の説明に供する線図

【図3】実施例の時間軸伸長装置(1)を示すプロック線図

【図4】時間軸伸長装置の書き込みアドレス及び読み出しあドレスの関係を示す線図

【図5】実施例の時間軸伸長装置(2)を示すプロック線図

【図6】AUXデータのフォーマットを示す表図

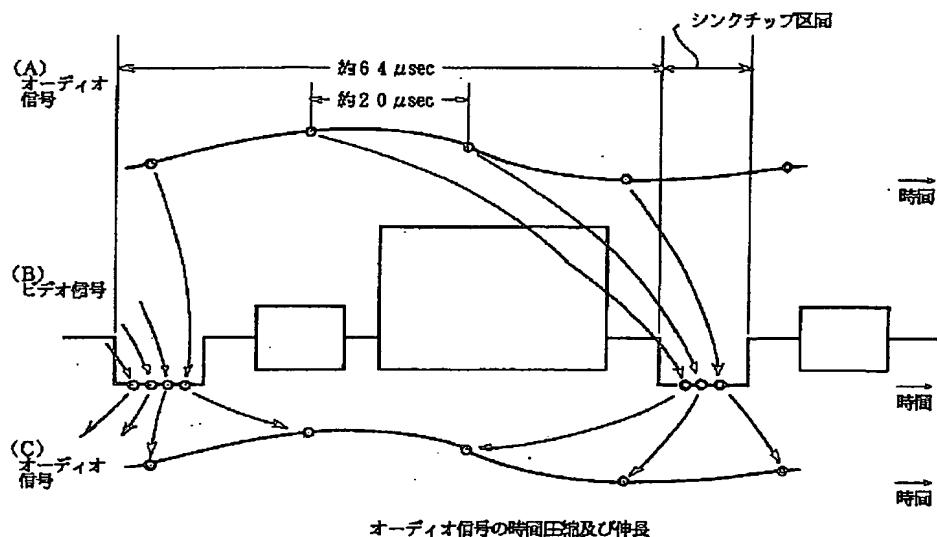
【図7】時間軸伸長装置の書き込みアドレス及び読み出しあドレスの関係を示す線図

【図8】時間軸伸長装置の最大値書き込みアドレス及び読み出しあドレスの関係を示す線図

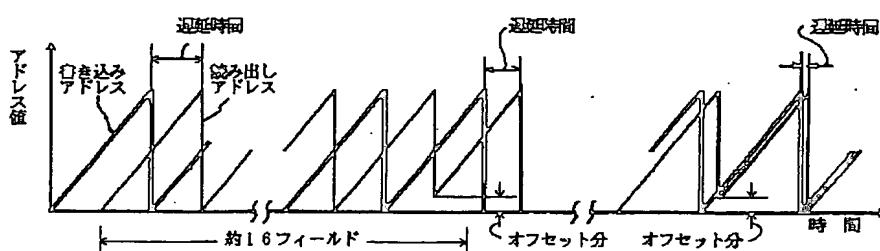
【符号の説明】

- T 送信部
- R 受信部
- 2 時間軸圧縮回路
- 8 時間軸伸長回路
- 11 メモリ
- 12 書き込みアドレス発生回路
- 13 読み出しアドレス発生回路
- 14 アドレス比較及び読み出しアドレスの計数制御回路
- 10 15 遅延時間収束回路
- 16 減算器
- 17 正負判断回路
- 18 ロード値発生回路
- 19 チャンネル認識回路
- 20 最大書き込みアドレスレジスタ
- 21 アドレス比較器
- 22 セレクタ

【図2】

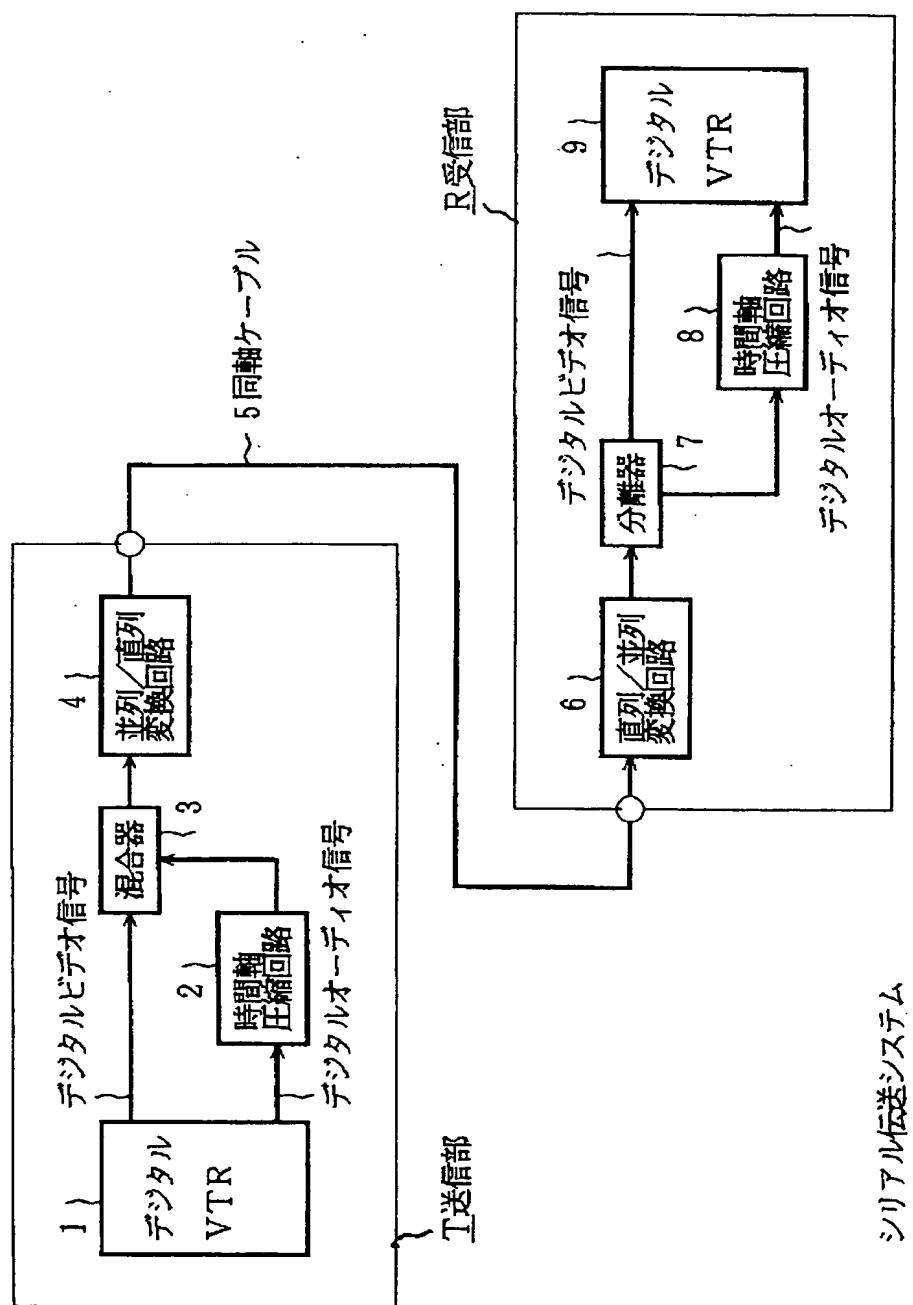


【図4】



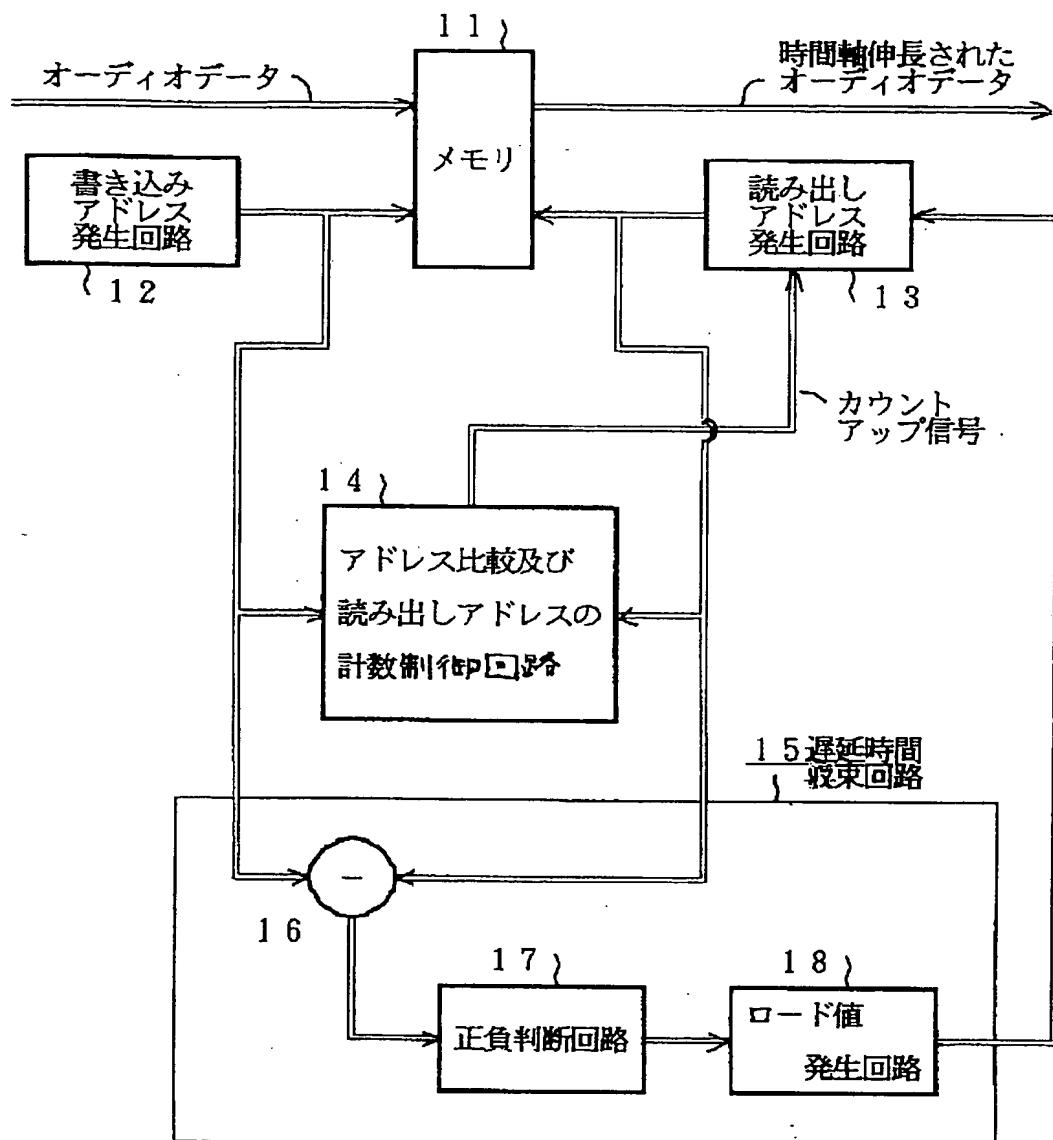
書き込みアドレス及び読み出しアドレスの関係

【図1】



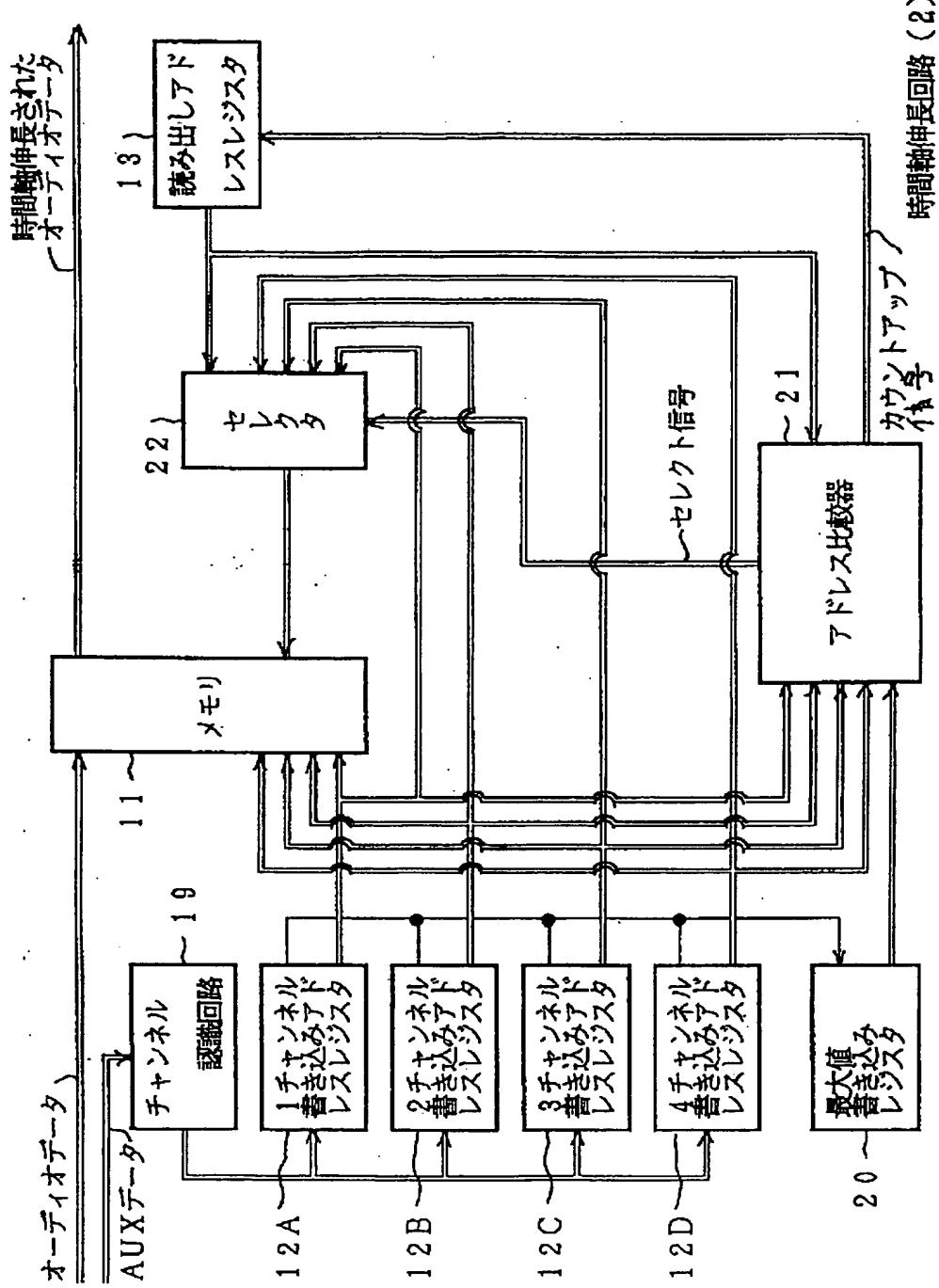
シリアル伝送システム

【図3】

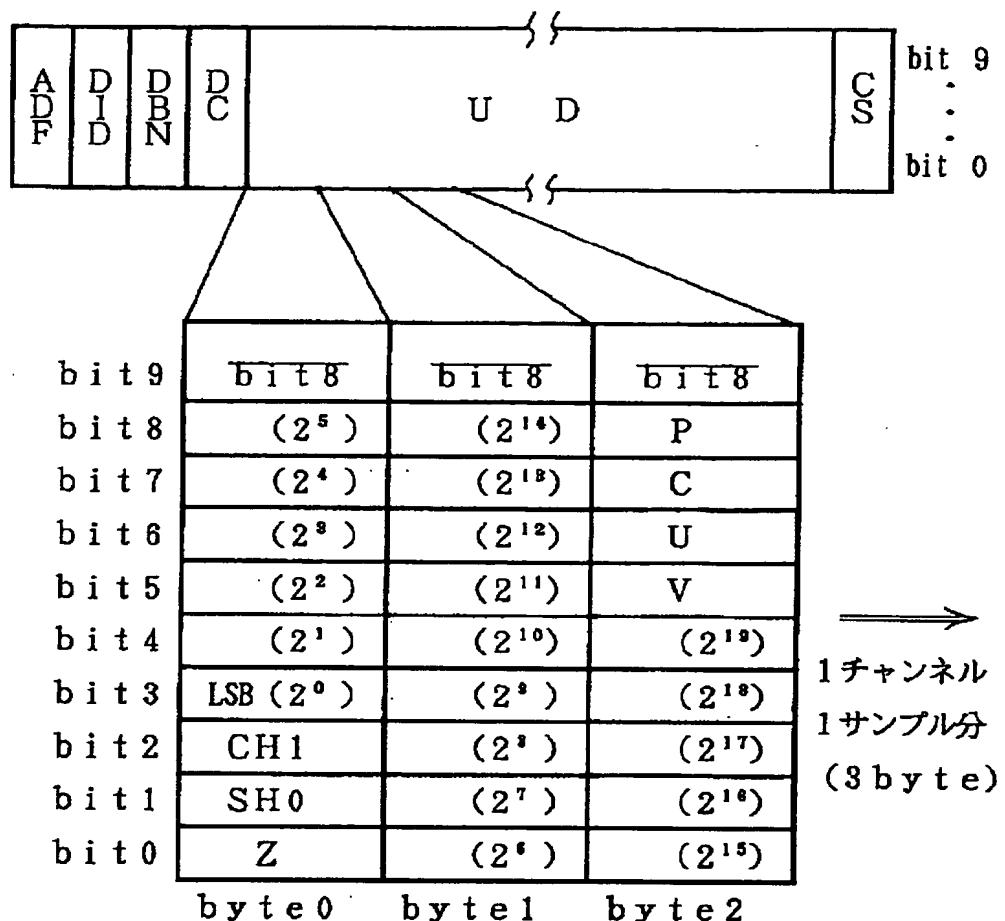


時間軸伸長回路（1）

【図5】

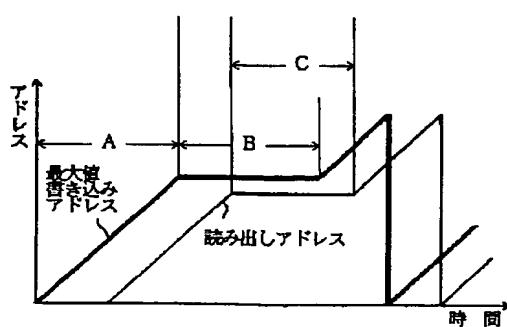


【図6】



AUX データフォーマット

【図8】



メモリの書き込みアドレス及び読み出しアドレスの関係

【図7】

